

# Vermeidung von Elektromigration durch kurze Segmentlängen im Layout digitaler Schaltungen

Matthias Thiele, Jens Lienig  
{thiele, lienig}@ifte.de

Technische Universität Dresden, Institut für Feinwerktechnik und Elektronik-Design

## Kurzfassung

Elektromigration ist zunehmend auch beim Layoutentwurf digitaler Schaltungen zu berücksichtigen, da durch die fortschreitende Strukturverkleinerung mit immer geringeren Leiterquerschnitten die Stromdichte in den Leiterbahnen stetig steigt. Daher sind Gegenmaßnahmen zu ergreifen, um die geforderte Lebensdauer dieser Schaltungen zukünftig zu gewährleisten. Dieser Beitrag beschreibt eine derartige Maßnahme, die in letzter Zeit an Bedeutung gewonnen hat. Sie beruht auf dem Ausnutzen des sogenannten BLECH-Effekts, mit dessen Hilfe sich bei sehr kurzen Leitbahnsegmenten eine Robustheit gegen Elektromigrationserscheinungen erreichen lässt.

## Einleitung

Elektromigration (EM) ist ein Materialmigrationsprozess in den metallischen Leiterbahnen integrierter Schaltkreise. Dabei werden durch Impulsübertragung von Elektronen auf die Metallatome bei hohen Stromdichten gerichtete Diffusionsprozesse angeregt, die zum Ausfall der Leiterbahn aufgrund von Hohlräumen (*Voids*) oder Materialanhäufungen (*Hillocks*) führen.

Es ist abzusehen, dass die durch die ITRS-Roadmap prognostizierte weitere Strukturverkleinerung ein deutliches Ansteigen der zu erwartenden Stromdichte zur Folge hat [1]. Damit sind die bislang praktizierten Gegenmaßnahmen nicht mehr ausreichend. Als weitreichendste Konsequenz gilt, dass auch in digitalen Schaltungen Elektromigrationserscheinungen gravierende Auswirkungen auf deren Zuverlässigkeit haben werden [2].

Daher sind neue Maßnahmen gegen Elektromigrationserscheinungen notwendig. Eine Methode, die in letzter Zeit an Bedeutung gewonnen hat, ist die Ausnutzung der sogenannten BLECH-Länge [3], wo sich bei sehr kurzen Segmenten eine Robustheit gegen Elektromigrationserscheinungen erreichen lässt. Dieser Effekt beruht auf den mechanischen Eigenschaften der Leiter- und Isolatormaterialien, welche unter bestimmten Umständen eine die Elektromigration kompensierende Stressmigration ermöglichen. Besondere Beachtung muss dabei den sogenannten *Low-k*-Materialien geschenkt werden, da diese einen meist geringeren Elastizitätsmodul als Siliziumoxid aufweisen und deshalb die BLECH-Länge reduzieren.

Dieser Beitrag stellt die physikalischen Grundlagen dieses Effektes vor und geht dann auf seine mögliche Ausnutzung während des Layoutentwurfs zur Steigerung der Zuverlässigkeit digitaler Schaltungen ein.

## Physikalische Grundlagen

Durch die bewusste Implementierung kurzer Segmentlängen im Layout lässt sich die Zuverlässigkeit integrierter Leiterzüge verbessern. Um die dafür verantwortlichen Effekte zu erklären, soll in diesem Abschnitt der physikalische Hintergrund erläutert werden. Die Effekte durch kurze Segmentlängen wurden bereits in den 1970er Jahren beschrieben und sind durch zahlreiche Versuche bestätigt worden. Bei der Untersuchung von Längeneffekten werden zweipolige Leitersegmente mit einem Anoden- und einem Kathodenende betrachtet. Dabei ist der durch Elektromigration hervorgerufene atomare Fluss bzw. die Diffusion durch die Passivierungsschicht (*Metal liner*) an den Vias begrenzt. Die in einem Segment einer Leiterbahn transportierten Atome „stauen“ sich am Anodenende. Somit entstehen mechanische Spannungen, eine Druckspannung an der Anode und eine Zugspannung an der Kathode, siehe Bild 1. Die Druckspannung ruft beim Überschreiten eines vom umgebenden Material abhängigen Grenzwertes Extrusionen bzw. *Hillocks* hervor.

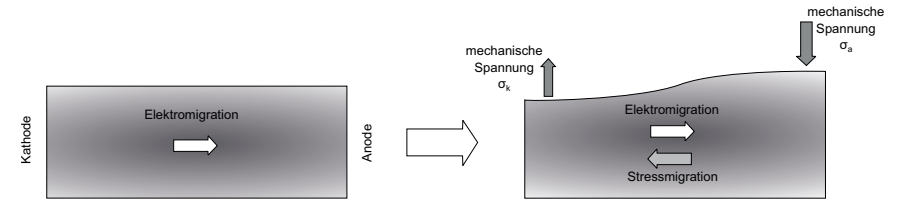


Bild 1: Entstehung der Stressmigration durch die äußere Einspannung des Leiters

Zugspannungen begünstigen dagegen das Entstehen von Hohlräumen (*Voids*). Der Grenzwert zum Entstehen von *Voids* ist von der Materialkombination und der Beschaffenheit der Grenzflächen abhängig.

Die Differenz zwischen den mechanischen Spannungen an den beiden Enden des Leitersegments bewirkt eine Kraft auf die Metallatome, welche dem Elektronenwind des Stromflusses, und damit der Ursache der EM, entgegengesetzt ist. Diese Kraft bewirkt die sogenannte *Stressmigration*. Der resultierende Diffusionsstrom lässt sich durch die Gleichung 1 beschreiben.

$$J_a = \frac{Dc_a}{kT} \rho j z^* q + \frac{Dc_a}{kT} \Omega \frac{\partial \sigma}{\partial x} \quad (1)$$

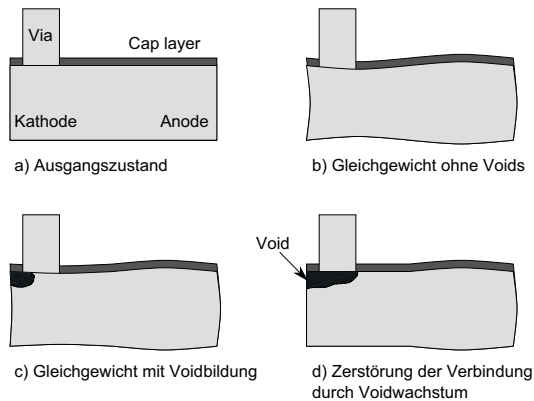
Dabei ist  $J_a$  der atomare Fluss,  $D$  die Diffusionskonstante von Kupfer,  $c_a$  die Konzentration der Kupferatome,  $\rho$  die Dichte von Kupfer,  $j$  die Stromdichte,  $z^*$  die effektive Ladung von Kupfer,  $q$  die Elementarladung,  $k$  die Boltzmannkonstante,  $T$  die Temperatur,  $\Omega$  das Atomvolumen von Kupfer,  $\sigma$  die mechanische Spannung und  $x$  die Koordinate längs des Segments mit  $x = 0$  an der Kathode.

Die Größe der mechanischen Spannung und deren Gradient hängt vom Elastizitätsmodul und den Dimensionen des umgebenden Isolators sowie von den Eigenschaften der Passivierung ab. *Low-k-Materialien*, die in aktuellen Technologien häufig als Dielektrikum eingesetzt werden, weisen ein etwa 10-fach geringeres Elastizitätsmodul als Siliziumoxid auf. Deshalb sind die mechanischen Spannungen und die Stressmigration geringer. Dies schränkt die Wirksamkeit des Effekts ein.

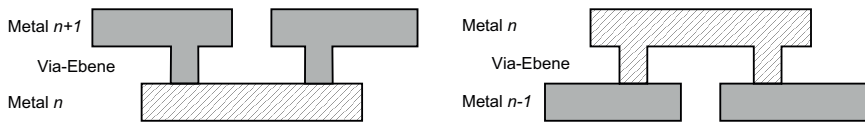
Zwischen Elektromigration und Stressmigration kann sich unter bestimmten Bedingungen, wie z. B. bei sehr kurzen Segmentlängen, ein Gleichgewicht ausbilden. Das hat zur Folge, dass keine weitere Zerstörung unter Stromfluss stattfindet. Wenn die dabei auftretenden mechanischen Spannungen an Anode und Kathode unterhalb eines Grenzwertes bleiben, ab welchem Hohlräume bzw. Extrusionen entstehen können, ist das Segment unempfindlich (engl.: *immortal*) gegenüber Elektromigration. Die Länge des Segments, unterhalb der dieser Effekt eintritt, bezeichnet man als BLECH-Länge. Das Produkt aus Stromdichte  $j$  und Segmentlänge  $L$  liegt hierbei unterhalb eines Grenzwertes  $(jL)_{\text{Blech}}$  (Bild 2b).

Das Gleichgewicht kann sich auch dann ausbilden, wenn die BLECH-Länge überschritten ist und sich bereits *Voids* bilden. Das ist darauf zurückzuführen, dass die *Voids* je nach Lage ein bestimmtes Volumen  $V_{\text{fail}}$  erreichen können, bevor das Segment ausfällt. Wenn die zulässige mechanische Spannung an der Anode im Gleichgewichtsfall nicht überschritten wird, während an der Kathode bereits die mechanische Spannung zur Entstehung von Hohlräumen ausreicht, stoppt die der Elektromigration entgegengesetzte Stressmigration das Void-Wachstum (Bild 2c). Das Void kann eventuell das Volumen  $V_{\text{fail}}$  unter diesen Bedingungen nicht erreichen bzw. die Widerstandsänderung überschreitet nicht die Grenze  $\Delta R_{\text{fail}}$ . Es entsteht ein EM-resistentes Segment, welches in diesem Fall länger als die BLECH-Länge ist. Es gilt:

$$(jL)_{\text{sat}} < \frac{\rho/A}{\rho_i/A_i} \frac{\Delta R_{\text{fail}}}{R} \frac{2\Omega B}{q\rho z^*}, \quad (2)$$



**Bild 2:** Gleichgewichtsbildung beim Blech-Effekt (Querschnitt)



**Bild 3:** Via-above (links) und Via-below Konfiguration eines Leitersegments in der Ebene *Metal n* (Querschnitt)

wobei  $\rho/A$  und  $\rho_i/A_i$  für das Verhältnis von spezifischem Widerstand zu Querschnittsfläche von Kupfer bzw. Passivierungsschicht stehen. Die Grenze  $\Delta R_{\text{fail}}$  ist die maximal tolerierbare Abweichung vom anfänglichen Widerstand  $R$  der Leiterbahn. Der Parameter  $B$  ist eine Funktion der Elastizitätsmoduli und Dimensionen des Dielektrikums und der Barrierschichten, welche den Leiter umgeben. Der Wert  $L$  ist die Segmentlänge.

Das kritische Volumen  $V_{\text{fail}}$  hängt vom Ort und der Form des Voids ab, denn das Verhalten bei der Voidentstehung ist asymmetrisch, je nach dem, ob das Segment von oben (*Via-above*) oder von unten (*Via-below*) kontaktiert wird (Bild 3).

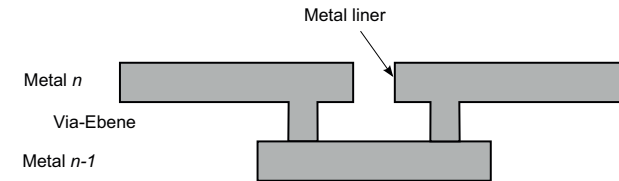
Die trennende Barrierschicht am Grund des Vias verhindert die Diffusion über diese Grenze. Die Oberfläche der Kupfermetallisierung ist durch die CMP-Behandlung im Herstellungsprozess angeraut. Deshalb entstehen gerade dort bevorzugt Voids. Bei der *Via-above*-Konfiguration genügt bereits ein kleiner Hohlraum direkt unter dem Via, um eine Ausfallerscheinung hervorzurufen. Bei *Via-below*-Anordnungen ist dagegen ein wesentlich größeres Void an der Oberseite des Segments über dem Via für einen Ausfall notwendig:  $(jL)_{\text{crit,above}} < (jL)_{\text{crit,below}}$ .

Experimentell wurden Werte für  $(jL)_{\text{crit}}$  ermittelt [4], welche bei typischen Stromdichten (ca.  $5 \cdot 10^5 \text{ A/cm}^2$ ) kritische Längen von etwa  $7,5 \mu\text{m}$  ergeben. Sehr viele Verbindungen in aktuellen integrierten Schaltkreisen weisen geringere Längen auf.

Obwohl Elektromigration frequenzabhängig ist [5], sind die hier angestellten Betrachtungen gleichermaßen für analoge und digitale Schaltungen gültig. Unterschiede ergeben sich bei den konkreten Maßnahmen, die im nächsten Abschnitt beschrieben werden.

## Ausnutzung zur EM-Vermeidung

Durch Layoutoptimierungen, also beispielsweise Aufsplitten eines langen Verdrahtungssegments in mehrere kurze Segmente, die durch Vias verbunden sind (Bild 4), lässt sich die Robustheit gegenüber Elektromigrationserscheinungen erhöhen. Dabei sind jedoch Effekte durch das Verbinden der Segmente durch Vias zu berücksichtigen, da an diesen Stellen erhöhte Stromdichten auftreten. Dies kann der beabsichtigten Verbesserung der Zuverlässigkeit der Verdrahtung entgegenwirken.



**Bild 4:** Prinzip der Aufteilung langer Segmente (Querschnitt)

Bei der Betrachtung vollständiger Verdrahtungsnetze ist zu beachten, dass die Zuverlässigkeit jedes Segments vom mechanischen Spannungszustand der verbundenen Segmente innerhalb einer Metallisierungsebene, also ohne trennende Barrierschicht, abhängt. Man spricht auch von einem Netzbaum (*Interconnect tree*). Für einen solchen Netzbaum lässt sich ein effektives Produkt  $(jL)_{\text{eff}}$  aus den einzelnen experimentell ermittelten Werten  $(jL)_{\text{crit}}$  der Segmente bestimmen. Für Aluminium wurde in [6] eine Theorie zur Behandlung solcher Netzwerke entwickelt. Bei Kupfer sind zusätzlich auch inaktive Segmente zu beachten [4]. Das sind Segmente, die nicht stromdurchflossen, aber mit den betreffenden Segmenten verbunden sind. Die Ergebnisse dieser Analyse weisen eine Mehrheit der Netze in digitalen integrierten Schaltkreisen als elektromigrationsrobust aus.

Einschränkend ist darauf hinzuweisen, dass die Ausfälle nicht in allen Fällen zeitnah auftreten, sondern sich auch Verbindungen erzielen lassen, die trotz  $jL > jL_{\text{crit}}$  den Anforderungen an die Zuverlässigkeit genügen. Während kurze Segmente mit  $jL < jL_{\text{crit}}$  eine *zeitunabhängige* Ausfallsicherheit bieten, muss bei  $jL > jL_{\text{crit}}$  die erreichbare Lebensdauer in die Dimensionierung einbezogen werden. Erst bei deutlicher Erhöhung des Wertes  $jL$  ist mit praktisch relevanten Einschränkungen der Lebensdauer zu rechnen.

Eine Verbesserung der Lebensdauer eines Segments ist durch den o. g. mechanischen Spannungszustand in verbundenen Segmenten möglich. Dabei können auch inaktive Segmente als Reservoir nahe der Kathode angebunden werden. Dieses Reservoir stellt Material bereit, welches abgetragen werden kann, ohne dass ein Void in schädiger Größe entsteht. Im Gegenzug wirkt ein zusätzliches inaktives Segment an der Anode als Senke für diffundierende Kupferatome und verringert die Lebensdauer. Die Ursache hierfür ist, dass sich in diesem Fall viele Atome nahe der Anode anlagern müssen, bevor die mechanische Spannung eine ausreichend starke Stressmigration bewirkt, um den Transport durch die Elektromigration auszugleichen.

Experimentell lässt sich nachweisen, dass die Verbesserung der Lebensdauer durch Reservoirs geringer und die negativen Auswirkungen durch Senken größer werden, wenn man Low-k-Materialien, wie z. B. poröses Siliziumoxid, anstelle von gewöhnlichem Siliziumoxid als Isolator verwendet [7]. Ursache ist die geringere Steifigkeit (Elastizitätsmodul) dieser Stoffe. Daher sind inaktive Segmente bei Low-k-Materialien, insbesondere bei wechselnden Stromrichtungen, zu vermeiden. Generell ist eine lokale Erhöhung der Steifigkeit nahe der Anode von Vorteil. Dies kann auch durch das Einfügen zusätzlicher Kupferstrukturen in unmittelbarer Nähe des Segments erreicht werden.

## Zusammenfassung

Die Nutzung des BLECH-Effekts ist eine effektive Maßnahme zur Vermeidung von Elektromigrationserscheinungen und somit zur Verbesserung der Zuverlässigkeit. Dabei sind im Layoutentwurf die folgenden Empfehlungen zu beachten:

- Zunächst müssen die besonders elektromigrationsgefährdeten Leiterzüge im Layout identifiziert werden. Bei diesen ist der Wert  $(jL)_{\text{eff}}$ , also das Produkt aus Stromdichte und Länge, zu reduzieren, entweder durch Auftrennen der Leiterzüge in kurze Segmente oder durch Hinzufügen von inaktiven Segmenten als Reservoirs.
- Reservoirs sind jedoch nur bei konstanter Stromrichtung sinnvoll. In digitalen Signalnetzen bei Verwendung von Low-k-Materialien wirken sich Reservoirs dagegen negativ auf die Lebensdauer aus.
- Via-below-Konfigurationen, bei denen der Via-Anschluss zur darunterliegenden Metallisierungsebene führt (siehe Bild 3), sind gegenüber Via-above-Anordnungen zu bevorzugen, da sie eine höhere Zuverlässigkeit gegenüber Elektromigrationsschäden bieten. Darüber hinaus sind in den höheren Ebenen die Breiten der Leiterbahnen größer, was die Zuverlässigkeit zusätzlich erhöht.
- Um Extrusionen zu vermeiden, sind, wenn möglich, schmale Leiterbahnen oder andere Kupferstrukturen in unmittelbarer Nachbarschaft elektromigrationsgefährdeter Leiterzugsegmente zu verwenden.
- In der Nähe der Enden eines Leitersegments sollte die Steifigkeit des umgebenden Isolatormaterials erhöht und die Dicke des Metal liners reduziert werden.

Diese Maßnahmen dienen dazu, der zunehmenden Anzahl elektromigrationsgefährdeter Netze in modernen digitalen Schaltungen entgegenzuwirken. Bereits heute genutzte Strategien, wie das Aufweiten der Leiterzugbreiten oder die Verlagerung von Netzsegmenten in höherliegende Metallisierungsebenen [2], lassen sich somit effektiv ergänzen, um auch zukünftig die geforderte Lebensdauer digitaler Schaltungen zu gewährleisten.

## Literatur

- [1] ITRS Roadmap, 2009, URL <http://www.itrs.net/>
- [2] Thiele, M.; Lienig, J.: *Elektromigrationserscheinungen in zukünftigen digitalen Schaltungen*, in: Tagungsband Dresdner Arbeitstagung Schaltungs- und Systementwurf (DASS 2011), 30–35, Fraunhofer Verlag, 2011
- [3] Blech, I. A.: *Electromigration in Thin Aluminum Films on Titanium Nitride*, Journal of Applied Physics, vol. 47, no. 4, 1203–1208, 1976
- [4] Thompson, C.: *Using Line-Length Effects to Optimize Circuit-Level Reliability*, in: 15th International Symposium on the Physical and Failure Analysis of Integrated Circuits, IPFA, 1–4, 2008
- [5] Tao, J.; Cheung, N.; Hu, C.: *Metal Electromigration Damage Healing under Bidirectional Current Stress*, Electron Device Letters, IEEE, vol. 14, no. 12, 554–556, 1993
- [6] Riege, S.; Thompson, C.; Clement, J.: *A Hierarchical Reliability Analysis for Circuit Design Evaluation*, IEEE Transactions on Electron Devices, vol. 45, no. 10, 2254–2257, 1998
- [7] Wei, F. L.; Hau-Riege, C. S.; Marathe, A. P.; Thompson, C. V.: *Effects of Active Atomic Sinks and Reservoirs on the Reliability of Cu/low-k Interconnects*, Journal of Applied Physics, vol. 103, no. 8, article 084513, 2008