

Berücksichtigung der Elektromigration im Layoutentwurf in zukünftigen Technologien

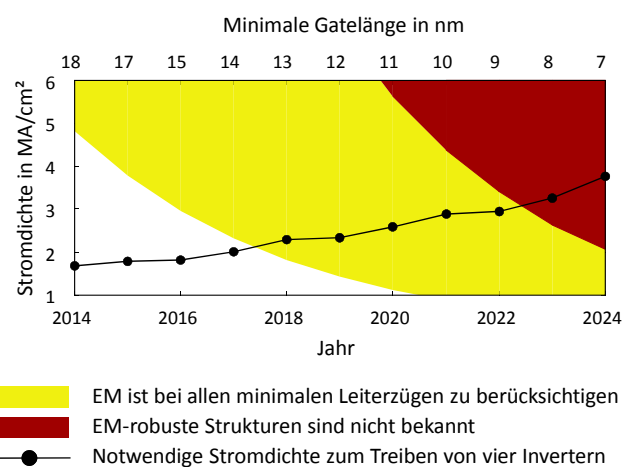
Eingeladener Vortrag

Jens Lienig, TU Dresden, Institut für Feinwerktechnik und Elektronik-Design, www.ifte.de, 01062 Dresden

Kurzfassung

Hohe Stromdichten in der Verdrahtung stellen eine zunehmende Herausforderung für den Entwurf integrierter Schaltkreise dar. Sie verringern die Lebensdauer durch Elektromigration (EM) und elektrische Überlastung (EOS, electrical overstress). Aufgrund immer weiter sinkender Strukturgrößen wächst dieses Zuverlässigkeitsproblem. Während im analogen Schaltungsentwurf bereits vielfältige Gegenmaßnahmen notwendig sind, werden zunehmend auch digitale Schaltungen von EM beeinflusst. In der aktuellen ITRS-Roadmap wird vorausgesagt, dass alle minimal dimensionierten Leiterzüge ab dem Jahr 2018 von Elektromigration betroffen sein werden, was potenziell eine weitere Verkleinerung der Strukturgrößen verhindert (siehe Bild).

Bereits heute nutzt man die Stromdichteverifikation als einen Indikator für EM-Probleme bei der Layoutverifikation integrierter Schaltkreise. Überschreitungen der zulässigen Stromdichte werden durch lokale Modifikationen, wie zum Beispiel Verbreiterungen der Leiterzüge, behoben. Bei komplexen Schaltkreisen sind jedoch solche Korrekturen nur in geringem Umfang zulässig, weshalb diese Post-Layout-Modifikationen nur bedingt zukunftstauglich sind. Als Alternative bietet sich an, die jeweiligen Stromdichtegrenzwerte zu erhöhen, indem elektromigrationsreduzierende Maßnahmen während des Layoutentwurfs einbezogen werden. Dazu zählt beispielsweise die Nutzung von Längen- und Reservoir-Effekte. Zukünftig sind so von der Layoutgeometrie abhängige (und damit maximierbare) Stromdichtegrenzwerte erzielbar. Auf diese Weise lassen sich EM-robuste Layoutkonfigurationen ermitteln, auf welche zukünftige Schaltkreise voraussichtlich zunehmend zu beschränken sind.



Entwicklung der benötigten Stromdichte zum Treiben von vier Invertern bei fortschreitender Strukturverkleinerung nach der International Technology Roadmap for Semiconductors (ITRS), Ausgabe 2012.

Dieser Beitrag soll somit aufzeigen, wie sich Schäden durch Elektromigration in zukünftigen Technologien durch geeignete Methoden während des Layoutentwurfs vermeiden lassen. Dazu wird zunächst der physikalische Hintergrund der Elektromigration kurz erläutert. Anschließend erfolgt eine Analyse ihrer Wirkung auf zukünftige Technologien, gefolgt von Möglichkeiten, mit denen sich EM eindämmen lässt, um auch in Zukunft deren negative Auswirkungen auf die Zuverlässigkeit zu mindern.

Eine ausführliche Betrachtung von Elektromigration und ihrer Berücksichtigung beim Layoutentwurf in zukünftigen Technologien ist in der Veröffentlichung vom gleichen Autor "Electromigration and Its Impact on Physical Design in Future Technologies", Proc. of the International Symposium on Physical Design (ISPD'13), Stateline, NV, USA; S. 33-40, März 2013, dargelegt, welche unter http://www.ifte.de/mitarbeiter/lienic/ISPD_2013_p33_40.pdf abrufbar ist.

Abstract

Electromigration (EM) is one of the key concerns going forward for interconnect reliability in integrated circuit (IC) design. Although analog designers have been aware of the EM problem for some time, digital circuits are also being affected now. This talk addresses basic design issues and their effects on electromigration during interconnect physical design. The intention is to increase current density limits in the interconnect by adopting electromigration-inhibiting measures, such as short-length and reservoir effects. Exploitation of these effects at the layout stage can provide partial relief of EM concerns in IC design flows in future.