

ALLGEMEINE HINWEISE ZUM SCHALTKREISENTWURF

MODULARISIERUNG



Die Modularisierung der Gesamtschaltung ermöglicht den parallelen, fokussierten Entwurf. Es ist jedoch sehr wichtig, den Überblick über die Gesamtschaltung zu behalten, um keine Optimierungspotentiale bei der Implementation der Module zu übersehen.

VERWENDUNG VON FLIP-FLOPS

Die Bauelementebibliothek enthält neben verschiedenen Logikgattern auch das Flip-Flop „DFFC“. Dabei handelt es sich um ein D-Flip-Flop, das immer bei einer steigenden Flanke am Takteingang das Signal am Dateneingang als seinen neuen Zustand speichert. Der aktuelle Zustand des Flip-Flops wird einmal normal und einmal invertiert an seinen Ausgängen ausgegeben. Es kann über einen Low-Pegel an seinem Clear-Eingang asynchron (also unabhängig vom Taktsignal) zurückgesetzt werden.

Beim Schaltungsentwurf sollten **immer** diese Flip-Flops verwendet werden. Aus Logikgattern selbst erstellte Flip-Flops besitzen im Gegensatz dazu einen deutlich größeren Flächenbedarf.

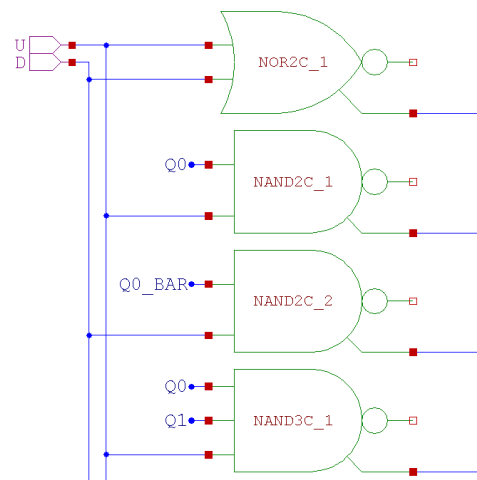
ÜBERSICHTLICHERE SCHALTPLÄNE DANK NET LABELS

Schaltpläne mit vielen Instanzen und Netzen können schnell unübersichtlich werden. Abhilfe kann die Verwendung von „Net Labels“ schaffen (Symbol: ). Ein solches Label definiert den Namen des Netzes, auf dem es sich befindet. Netze gleichen Namens sind elektrisch miteinander verbunden, ganz so als wäre ein normales „Wire“ (Symbol: ) verwendet worden.

ERZEUGUNG FESTER POTENTIALIE

Mitunter ist es sinnvoll, einen Gatter-Eingang mit einem festen Potential (Vdd oder Gnd) zu verbinden. Zum Beispiel kann dadurch erreicht werden, dass der Zustand eines Flip-Flops nur ein einziges Mal verändert werden kann.

Ein solches konstantes Potential kann durch die Verknüpfung des invertierten und nicht-invertierten Ausgangs eines Flip-Flops oder einer Pad-Zelle mit einem OR- bzw. NOR-Gatter erzeugt werden. Die Vdd- und Gnd-Symbole aus der Bibliothek „Misc“ können dafür nicht genutzt werden, da sie von der automatischen Layoutsynthese in L-Edit nicht unterstützt werden.



Verwendung von Net Labels

ERSTELLUNG VON TESTBENCHES

Zur Simulation wird immer eine Testbench benötigt, egal ob ein einzelnes Modul, eine Teilschaltung aus mehreren Modulen, oder die Gesamtschaltung überprüft werden soll. Dabei sollten in jedem Fall **Instanzen der zu simulierenden Module** verwendet werden und keine Kopien ihrer inneren Schaltung. Nur so werden spätere Änderungen an den Modulen automatisch auch in der Testbench berücksichtigt.

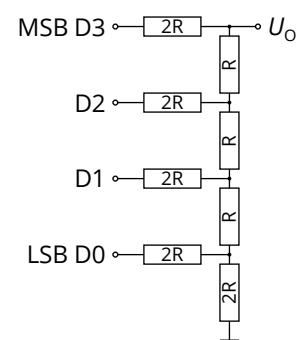
STIMULUS EINES RESET-SIGNALS

Besitzt ein Modul oder die Top-Level-Zelle einen Reset-Eingang, so muss dieser auch in einer Testbench berücksichtigt werden. Dafür kann eine Spannungsquelle vom Type „PWL“ (engl. piecewise linear – stückweise linear) verbunden werden. Der Verlauf der Spannung wird als Liste von Stützstellen in der Eigenschaft „pattern“ angegeben. Für einen low-aktiven Reset kann sie z. B. auf „0s 0v 5ns 0v 10ns 5v“ gesetzt werden.

DIGITAL-ANALOG-WANDLUNG PER WIDERSTANDSLEITER

Zur einfacheren Auswertung von Simulationen kann es sinnvoll sein, digitale Signale in analoge umzuwandeln. Dies bietet sich insbesondere bei Zählerständen an, da so schnell geprüft werden kann, ob alle Zustände erreicht werden.

Eine einfache Möglichkeit der DA-Wandlung ist die Verwendung einer Widerstandsleiter. Die absolute Größe der Widerstände ist dabei egal, solange ihr Verhältnis eingehalten wird (2R ist doppelt so groß wie R).

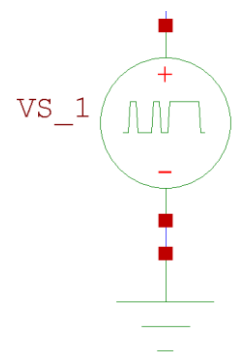


Widerstandsleiter

SIMULATION MIT BIT-QUELLEN

Anstelle der im Einführungsdokument beschriebenen Pulse-Quellen können auch Bit-Quellen verwendet werden. Sie ermöglichen die Eingabe eines Bit-Musters, das immer wiederholt wird. Außerdem können u. a. die Pulsweite (PW), Dauer des High-Pegels (HT) und Dauer des Low-Pegels (LT) angegeben werden. Sind diese drei Werte gleich, dann ergibt sich ein Signal mit einem Tastgrad von 50 %.

Wenn ein Bussignal sämtliche Zustände durchlaufen soll, können mehrere Bit-Quellen mit dem Bit-Muster „01“ verwendet werden, deren PW-/HT-/LT-Werte jeweils alle gleich sind und sich vom niedrigstwertigen Bit (engl. least significant bit, LSB) zum höchstwertigen Bit (engl. most significant bit, MSB) verdoppeln:




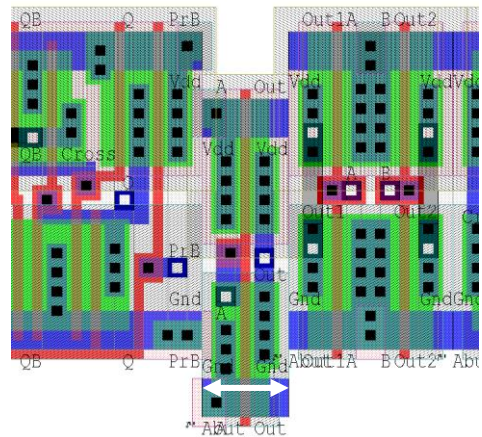
	LSB D0	D1	D2	MSB D3
Bit-Muster	01	01	01	01
Pulsweite (PW)	10 ns	20 ns	40 ns	80 ns
Dauer des High-Pegels (HT)	10 ns	20 ns	40 ns	80 ns
Dauer des Low-Pegels (LT)	10 ns	20 ns	40 ns	80 ns

BESTIMMUNG DES FLÄCHENBEDARFS VON STANDARDZELLEN

Um einen integrierten Schaltkreis mit möglichst geringer Fläche zu entwerfen, muss der Flächenbedarf verschiedener Implementierungsvarianten einer Logikfunktion bekannt sein. Voraussetzung dafür ist die Kenntnis des Flächenbedarfs der Standardzellen.

Diese können mittels **L-Edit** ermittelt werden. Nach dem Öffnen der Standardzellenbibliothek „morbn20d.tdb“ sind alle Standardzellen sichtbar. Die Anzeige eines einzelnen Gatters ist über den „Design Navigator“ ebenfalls möglich.

Da alle Standardzellen die gleiche Höhe haben, genügt die Messung der Zellenbreite in der Ebene Metal1. Dazu kann das Werkzeug „Ruler“ (Symbol ) verwendet werden. Nach der Messung erscheint die Länge in der Statuszeile.

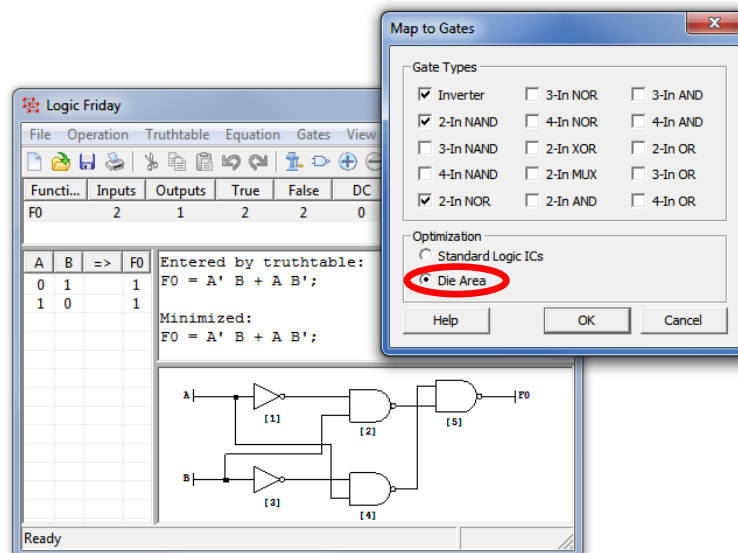


Messung der Breite eines Inverters

LOGIKSYNTHESE

Mit dem Programm **Logic Friday** (<https://web.archive.org/web/20180204131842/http://sontrak.com>) können aus Wahrheitstabellen Gatterschaltungen erzeugt werden. Dabei können die zur Verfügung stehenden Gattertypen ausgewählt werden. Bei der Erzeugung ist es wichtig anzugeben, dass die Fläche („Die Area“) statt der Anzahl an Logik-ICs optimiert werden soll.

Der Flächenbedarf der Standardzellen in Logic Friday kann mit dem Windows-Programm **guLF** (<https://github.com/IFTE-EDA/guLF>) geändert werden. Die Angabe einer sehr großen Fläche für nicht verfügbare Gattertypen verhindert die versehentliche Verwendung in Logic Friday.



Erzeugung einer Gatterschaltung für die Funktion XOR

ERZEUGUNG EINES LAYOUT-SCHNITTS

Ein Schnitt durch das Layout kann in **L-Edit** über die Funktion **Tools** → **Cross-Section** erstellt werden. Zur Beschreibung des Prozesses ist dabei die Datei „morbn20.xst“ anzugeben. Die Wahl der Zoomstufe hat großen Einfluss auf die Darstellung des Schnittes.