



Kapitel 8  
**Kompaktierung**

**8**

---

# 8

---

<b>8</b>	<b>Kompaktierung .....</b>	<b>229</b>
8.1	Einführung .....	229
8.2	Begriffsbestimmungen .....	230
8.3	Symbolisches Layout .....	232
8.4	Kompaktierungsalgorithmen .....	233
	8.4.1 Schnittkompaktierung .....	233
	8.4.2 Abstandsgraph-Kompaktierung .....	236
	Aufgaben zu Kapitel 8 .....	242
	Literatur zu Kapitel 8 .....	243

## 8 Kompaktierung

### 8.1 Einführung

---

**8.1**

Nach der Platzierung und Verdrahtung erfolgt oftmals eine Kompaktierung, welche die eigentliche Layoutsynthese abschließt.<sup>1</sup> Das Ziel besteht hier darin, das Layout unter Einhaltung sämtlicher Entwurfsregeln in seinem Flächenanspruch zu minimieren, also eine **Layoutoptimierung** durchzuführen:

*Gegeben ist ein entwurfsregel-korrektes Schaltungslayout (nachfolgend auch als Maskenlayout bezeichnet) mit der Platzierung aller Komponenten und der Verdrahtung aller Netze.*

*Gesucht ist ein kompaktiertes Layout mit*

- *minimaler Fläche,*
- *invarianter Struktur von Platzierung und Verdrahtung sowie*
- *striktter Einhaltung von Entwurfsregeln.*

Neben der Kompaktierung eines bereits entwurfsregelgerechten Layouts kommen Kompaktoren auch bei der sog. **symbolischen Layoutentwicklung** zum Einsatz (s. Kap. 8.3). Bei einem symbolischen Layout werden die Layoutelemente, z.B. Transistoren und deren Verbindungen, nur in ihren räumlichen Beziehungen zueinander wiedergegeben, die einzelnen technologischen Abmessungen (und manchmal auch die Ebenenzuordnungen) bleiben unberücksichtigt. Sämtliche Abstands- und andere Technologieregeln sind damit erst durch ein Kompaktierungswerkzeug zu implementieren:

*Gegeben ist ein symbolisches Layout mit einer abstrakten Darstellung aller Komponenten und deren Verdrahtung.*

*Gesucht ist ein kompaktiertes Layout mit*

- *minimaler Fläche,*
- *invarianter Struktur von Platzierung und Verdrahtung sowie*
- *striktter Einhaltung von Entwurfsregeln.*

Der zuletzt genannte Anwendungsfall wird auch als symbolische Kompaktierung (Symbolic compaction) bezeichnet.

---

<sup>1</sup> Die nachfolgende Layoutverifikation umfasst gewöhnlich den Design Rule Check (DRC), die Extraktion und den Vergleich Layout versus schematic (LVS), welche hier nicht weiter behandelt werden (s. auch Kap. 1.5.6).